

1/5/1 (Item 1 from file: 351)
DIALOG(R) File 351:Derwent WPI
(c) 2005 Thomson Derwent. All rts. reserv.

016677202 **Image available**
WPI Acc No: 2005-001483/200501
XRAM Acc No: C05-001129
XRPX Acc No: N05-001509

Semiconductor substrate for use in making semiconductor device, e.g. transistor, i.e. fin field effect transistor, comprises semiconductor layer, porous layer, and strain inducing region

Patent Assignee: CANON KK (CANO)
Inventor: SAKAGUCHI K; SATO N
Number of Countries: 036 Number of Patents: 004
Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
EP 1487007	A2	20041215	EP 200413491	A	20040608	200501 B
JP 2005005321	A	20050106	JP 2003164085	A	20030609	200504
US 20040259315	A1	20041223	US 2004857881	A	20040602	200504
KR 2004105627	A	20041216	KR 200442219	A	20040609	200525

Priority Applications (No Type Date): JP 200459449 A 20040303; JP 2003164085 A 20030609

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
EP 1487007	A2	E	25	H01L-021/20	
Designated States (Regional): AL AT BE BG CH CY CZ DE DK EE ES FI FR GB GR HR HU IE IT LI LT LU LV MC MK NL PL PT RO SE SI SK TR					
JP 2005005321	A		13	H01L-029/78	
US 20040259315	A1			H01L-021/20	
KR 2004105627	A			H01L-027/12	

Abstract (Basic): EP 1487007 A2

NOVELTY - A semiconductor substrate (11) comprises semiconductor layer, porous layer, and strain inducing region. The porous layer supports the semiconductor layer. The strain-inducing region strains the semiconductor layer by applying stress to the semiconductor layer.

DETAILED DESCRIPTION - INDEPENDENT CLAIMS are included for:

(1) manufacturing semiconductor substrate comprising forming porous layer on substrate, forming semiconductor layer on porous layer, and forming strain inducing region straining the semiconductor layer by applying stress to semiconductor layer;

(2) semiconductor device comprising semiconductor substrate;

(3) transistor comprising semiconductor device, source made on end of the semiconductor device, and drain made at the other end of the semiconductor region;and

(4) manufacturing semiconductor device comprising preparing semiconductor substrate, and forming semiconductor device on semiconductor substrate

USE - For use in making semiconductor device, e.g. transistor, i.e. fin field effect transistor.

ADVANTAGE - The method allows channel to be efficiently strained, thus increasing carrier mobility and mass of carrier in epitaxial layer.

DESCRIPTION OF DRAWING(S) - The figure shows sectional view for explaining substrate manufacturing method.

Semiconductor substrate (11)

pp; 25 DwgNo 1A/9

Title Terms: SEMICONDUCTOR; SUBSTRATE; SEMICONDUCTOR; DEVICE; TRANSISTOR; FIN; FIELD; EFFECT; TRANSISTOR; COMPRISE; SEMICONDUCTOR; LAYER; POROUS; LAYER; STRAIN; INDUCE; REGION

Derwent Class: L03; U11; U12

International Patent Class (Main): H01L-021/20; H01L-027/12; H01L-029/78

International Patent Class (Additional): H01L-021/306; H01L-029/161

File Segment: CPI; EPI

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-5321

(P2005-5321A)

(43) 公開日 平成17年1月6日(2005.1.6)

(51) Int.Cl.⁷

H01L 29/78

H01L 29/161

F1

H01L 29/78

301X

H01L 29/163

テーマコード (参考)

5F140

審査請求 未請求 請求項の数 15 O L (全 13 頁)

(21) 出願番号

特願2003-164085 (P2003-164085)

(22) 出願日

平成15年6月9日 (2003.6.9)

(71) 出願人

000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(74) 代理人

100076428

弁理士 大塚 康徳

(74) 代理人

100112508

弁理士 高柳 司郎

(74) 代理人

100115071

弁理士 大塚 康弘

(74) 代理人

100116894

弁理士 木村 秀二

(72) 発明者

坂口 清文

東京都大田区下丸子3丁目30番2号 キ

ヤノン株式会社内

最終頁に続く

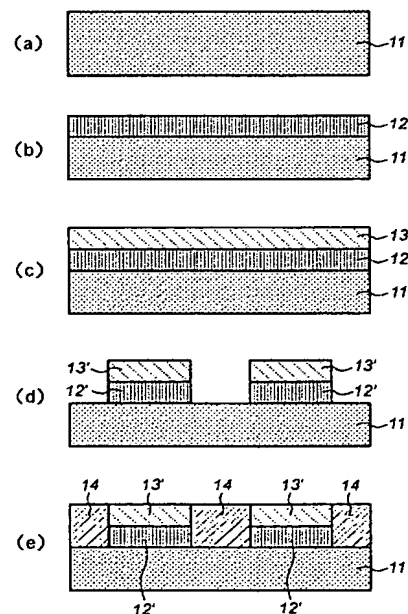
(54) 【発明の名称】 半導体基体、半導体装置及びこれらの製造方法

(57) 【要約】

【課題】 半導体層を効率的に歪ませること。

【解決手段】 半導体基体は、基板11上に形成された多孔質層12と、多孔質層12上に形成された半導体層13と、半導体層13に応力を加えて半導体層13に歪みを生じさせる歪み誘起領域14と、を備える。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

半導体層と、
前記半導体層を支持する多孔質層と、
前記半導体層に応力を加えて該半導体層に歪みを生じさせる歪み誘起領域と、
を備えることを特徴とする半導体基体。

【請求項 2】

前記多孔質層及び前記半導体層は、複数の島状の領域を含み、前記歪み誘起領域は、前記複数の島状の領域の間に形成されていることを特徴とする請求項 1 に記載の半導体基体。

【請求項 3】

前記半導体層は、複数の島状の半導体領域を含み、前記歪み誘起領域は、前記複数の島状の半導体領域の間に形成されていることを特徴とする請求項 1 に記載の半導体基体。

【請求項 4】

前記多孔質層は、多孔質シリコン層であることを特徴とする請求項 1 乃至請求項 3 のいずれか 1 項に記載の半導体基体。

【請求項 5】

前記半導体層は、単結晶シリコンで構成されていることを特徴とする請求項 1 乃至請求項 4 のいずれか 1 項に記載の半導体基体。

【請求項 6】

前記歪み誘起領域は、酸化シリコンで構成されていることを特徴とする請求項 1 乃至請求項 5 のいずれか 1 項に記載の半導体基体。 20

【請求項 7】

前記歪み誘起領域は、窒化シリコンで構成されていることを特徴とする請求項 1 乃至請求項 5 のいずれか 1 項に記載の半導体基体。

【請求項 8】

前記半導体層に半導体デバイスが形成されていることを特徴とする請求項 1 乃至請求項 7 のいずれか 1 項に記載の半導体装置。

【請求項 9】

前記半導体デバイスのチャネルの上方に、前記半導体層に応力を加えて該半導体層に歪みを生じさせる第 2 の歪み誘起領域を更に備えることを特徴とする請求項 8 に記載の半導体装置。 30

【請求項 10】

基板に多孔質層を形成する工程と、
前記多孔質層の上に半導体層を形成する工程と、
前記半導体層に応力を加えて該半導体層に歪みを生じさせる歪み誘起領域を形成する工程と、
を含むことを特徴とする半導体基体の製造方法。

【請求項 11】

前記半導体層を形成する工程の後に、前記多孔質層及び前記半導体層を部分的にエッチングして開口部を形成する工程を更に含み、前記歪み誘起領域を形成する工程では、前記開口部に前記歪み誘起領域を形成することを特徴とする請求項 10 に記載の半導体基体の製造方法。 40

【請求項 12】

前記半導体層を形成する工程の後に、前記半導体層を部分的にエッチングして開口部を形成する工程を更に含み、前記歪み誘起領域を形成する工程では、前記開口部に前記歪み誘起領域を形成することを特徴とする請求項 10 に記載の半導体基体の製造方法。

【請求項 13】

前記多孔質層を形成する工程では、前記基板に複数の多孔質領域を形成し、前記歪み誘起領域を形成する工程では、前記複数の多孔質領域の半導体層の間に前記歪み誘起領域を形成することを特徴とする請求項 10 に記載の半導体基体の製造方法。 50

【請求項 14】

請求項 10 乃至請求項 13 のいずれか 1 項に記載の製造方法を適用して製造された半導体基板を準備する工程と、
前記半導体基板に半導体デバイスを作り込む工程と、
を含むことを特徴とする半導体装置の製造方法。

【請求項 15】

前記半導体デバイスのチャネルの上方から前記半導体層に応力を加えて該半導体層に更に歪みを形成する工程を含むことを特徴とする請求項 14 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体基体、半導体装置及びこれらの製造方法に関するものである。

【0002】

【従来の技術】

従来、単結晶基板上にそれと異なる材料をエピタキシャル成長させるヘテロエピタキシャル成長法が知られている。ヘテロエピタキシャル成長法では、結晶成長の材料や条件によって、結晶格子が歪んだエピタキシャル層を形成することができる。結晶格子が歪んだエピタキシャル層では、引張り応力によってエピタキシャル層中の原子間隔が広がっているため、エピタキシャル層中のキャリアの有効質量が減少し、キャリアの移動度を向上させることができる。

【0003】

これを利用した技術として、SiGe 層によって歪まされたシリコン層（以下「歪みシリコン層」という。）によって、キャリアの移動度を上げる技術が開示されている（例えば、特許文献 1 参照。）。SiGe 層の上にシリコンをエピタキシャル成長させると、格子定数がシリコンよりも大きい SiGe に倣ってシリコンが形成されるので（Si と Ge の格子定数差は約 4 %）、数 % 程度の歪みが生じる（ただし、SiGe 層に含まれる Ge の量によって異なる。）。

【0004】

これに対し、シリコン層の上側からシリコン層に引張り応力を加えて、シリコン層の結晶格子を歪ませる技術がある。例えば、チャネル領域の上方に形成されたゲート電極側からチャネル領域に対して引張り応力を加えることによって、チャネル領域の移動度を向上させる技術が開示されている（例えば、非特許文献 1 参照。）。

【0005】

【特許文献 1】

特開 2000-286418 号公報

【非特許文献 1】

”最先端半導体分野で 2 つのトランジスタ高性能化技術を開発”、[online]、平成 15 年 12 月 17 日、三菱電機株式会社、インターネット、<URL: <http://www.mitsubishielectric.co.jp/news/2002/1217-b.html>>

【0006】

【発明が解決しようとする課題】

しかしながら、特許文献 1 では、SiGe 層に欠陥が含まれるため、高い結晶性を持つ歪みシリコン層を形成することが困難である。また、非特許文献 1 では、歪みのないシリコン層を形成した後に、シリコン層の上に形成されたデバイス構造によって歪みを導入しているが、この場合、歪みシリコン層の下は、シリコン層を歪ませる前に整合した材料で出来ているため、シリコン層の上部から歪みを印加する際に、シリコン層の下層にそれを阻止しようとする力が生じる。一般に、シリコン層に 2 軸性の応力を印加して、歪みを発生させる場合、以下の式 1 に従ってシリコンの面内に歪み量が生じる。

【0007】

$$\varepsilon = (1 - \nu) \cdot \sigma / E \quad \dots \text{(式1)}$$

ここで ε はシリコンの面内の歪み量（無単位）、 ν はシリコン結晶のポアソン比（無単位）、 σ はシリコン層の面内に印加される2軸性応力〔Gpa〕、 E はシリコン結晶のヤング率〔Gpa〕である。通常、 $E = 162 \text{ Gpa}$ 、 $\nu = 0.26$ の場合、SiGe上のシリコンの歪み量 ε を1～2%とするには、 $\sigma = 2.2 \sim 4.4 \text{ (Gpa)}$ の応力が必要となる。したがって、一般的なSi-LSI (large-scale integration) 構造においては、表面のシリコン層を歪ませるだけでなく、下地の部分まで歪ませる必要がある。そのため、シリコン層の上部あるいは側面から応力をかける場合には、上記の値よりも大きな応力をかける必要がある。

【0008】

本発明は、上記の背景に鑑みてなされたものであり、半導体層を効率的に歪ませることを目的とする。

【0009】

【課題を解決するための手段】

本発明の第1の側面は、半導体基体に係り、半導体層と、前記半導体層を支持する多孔質層と、前記半導体層に応力を加えて該半導体層に歪みを生じさせる歪み誘起領域と、を備えることを特徴とする。

【0010】

本発明の好適な実施の形態によれば、前記多孔質層及び前記半導体層は、複数の島状の領域を含み、前記歪み誘起領域は、前記複数の島状の領域の間に形成されていることが望ましい。

【0011】

本発明の好適な実施の形態によれば、前記半導体層は、複数の島状の半導体領域を含み、前記歪み誘起領域は、前記複数の島状の半導体領域の間に形成されていることが望ましい。

【0012】

本発明の好適な実施の形態によれば、前記多孔質層は、多孔質シリコン層であることが望ましい。

【0013】

本発明の好適な実施の形態によれば、前記半導体層は、単結晶シリコンで構成されていることが望ましい。

【0014】

本発明の好適な実施の形態によれば、前記歪み誘起領域は、酸化シリコンで構成されていることが望ましい。

【0015】

本発明の好適な実施の形態によれば、前記歪み誘起領域は、窒化シリコンで構成されていることが望ましい。

【0016】

本発明の第2の側面は、半導体装置に係り、前記半導体層に半導体デバイスが形成されていることを特徴とする。

【0017】

本発明の好適な実施の形態によれば、前記半導体デバイスのチャネルの上方に、前記半導体層に応力を加えて該半導体層に歪みを生じさせる第2の歪み誘起領域を更に備えることが望ましい。

【0018】

本発明の第3の側面は、半導体基体の製造方法に係り、基板に多孔質層を形成する工程と、前記多孔質層の上に半導体層を形成する工程と、前記半導体層に応力を加えて該半導体層に歪みを生じさせる歪み誘起領域を形成する工程と、を含むことを特徴とする。

【0019】

本発明の好適な実施の形態によれば、前記半導体層を形成する工程の後に、前記多孔質層

10

20

30

40

50

及び前記半導体層を部分的にエッチングして開口部を形成する工程を更に含み、前記歪み誘起領域を形成する工程では、前記開口部に前記歪み誘起領域を形成することが望ましい。

【0020】

本発明の好適な実施の形態によれば、前記半導体層を形成する工程の後に、前記半導体層を部分的にエッチングして開口部を形成する工程を更に含み、前記歪み誘起領域を形成する工程では、前記開口部に前記歪み誘起領域を形成することが望ましい。

【0021】

本発明の好適な実施の形態によれば、前記多孔質層を形成する工程では、前記基板に複数の多孔質領域を形成し、前記歪み誘起領域を形成する工程では、前記複数の多孔質領域の半導体層の間に前記歪み誘起領域を形成することが望ましい。

【0022】

本発明の第4の側面は、半導体装置の製造方法に係り、上記の製造方法を適用して製造された半導体基板を準備する工程と、前記半導体基板に半導体デバイスを作り込む工程と、を含むことを特徴とする。

【0023】

本発明の好適な実施の形態によれば、前記半導体デバイスのチャネルの上方から前記半導体層に応力を加えて該半導体層に更に歪みを形成する工程を含むことが望ましい。

【0024】

【発明の実施の形態】

以下、添付図面を参照しながら本発明の好適な実施の形態を説明する。

【0025】

(第1の実施形態)

図1(a)～図1(e)は、本発明の好適な第1の実施形態に係る基板製造方法を説明するための図である。

【0026】

図1(a)に示す工程では、基板11を準備する。基板11としては、例えば、シリコンが好適であるが、他の材料を採用してもよい。

【0027】

図1(b)に示す工程では、基板11の表面に多孔質層12を形成する。多孔質層12のヤング率は、図1(c)に示す工程で形成される半導体層13のヤング率よりも低い。多孔質層12を構成する材料としては、シリコンを多孔質化した多孔質シリコンを採用するのが好適である。多孔質シリコン層は、シリコン基板の表面を陽極化成することによって形成することができる。陽極化成は、フッ化水素酸を含む電解液中に陽極及び陰極を配置し、それらの電極の間に基板を配置し、それらの電極間に電流を流すことにより実施することができる。

【0028】

また、多孔質シリコン層は、略均一な多孔度を持つ単一の層で構成されてもよいし、互いに異なる多孔度を持つ2以上の層で構成されてもよい。また、多孔質シリコン層のヤング率は、多孔度 (porosity) を変化させることによって、少なくとも約1 GPa～約83 GPaまで変化させることができる (例えば、L. Canham編、D. Bell et 著、" Properties of Porous Silicon"、INSPEC、The Institution of Electrical Engineers、p. 127-131を参照。)。

【0029】

図5は、上記D. Bell et の論文に開示されたデータに基づいて、多孔質シリコンの多孔度 ρ とヤング率 E との関係を図示したものである。図5に示すように、多孔質シリコンの多孔度が高いほどヤング率が低いことが分かる。多孔質シリコンの多孔度は、陽極化成を用いる場合には、溶液の濃度、電流密度、シリコン基板の比抵抗等によって制御することができるため、多孔質シリコンのヤング率を所望の値にすることができるといふ利点

がある。

【0030】

なお、本発明において、多孔質層を形成する方法は、陽極化成に限定されず、例えば、基板に水素又はヘリウム等をイオン注入する方法を採用することができる。

【0031】

図1(c)に示す工程では、多孔質層12上にエピタキシャル成長法により半導体層13を形成する。エピタキシャル成長法によって、良質の単結晶半導体層を形成することができる。

【0032】

図1(d)に示す工程では、半導体層13上にレジストを塗布した後に、一般的なリソグラフィ工程によって、多孔質層12及び半導体層13をパターニングして開口部を形成する。これによって、島状の多孔質層12'及び半導体層13'が、基板11の上に複数形成される。なお、開口部の幅は、特に限定されないが1 μ m以上であるのが望ましい。

【0033】

図1(e)に示す工程では、図1(d)に示す工程で形成された開口部に露出した基板11上に、半導体層13'に応力を印加する歪み誘起領域14を形成する。歪み誘起領域14は、第2の半導体13'が略水平な方向に延びるように半導体層13'に応力を印加すべく、多孔質層12'及び半導体層13'をこれらの表面に実質的に平行な方向に引っ張るように働く。歪み誘起領域14によって面内方向に引っ張り力が加えられた半導体層13'は、結晶格子が歪み、半導体層13'内を移動するキャリアの移動度が向上する。歪み誘起領域14としては、例えば、TEOS(tetra ethyl ortho silicate)等を原材料にした酸化シリコンやSiNを採用することができる。

【0034】

以上のようにして、基板11に形成された多孔質層12'と、多孔質層12'の上に形成された半導体層13'と、半導体層13'のキャリア移動度が増大するように半導体層13'に応力を印加する歪み誘起領域14と、を備える基板を作製することができる。

【0035】

CVD(chemical vapor deposition)酸化シリコンの形成には、TEOS、TEOS+O₂、TEOS+O₃、SiH₄+O₂、SiH₄+N₂O、SiH₂Cl₂+N₂O等が用いられる。CVDの方式には、熱CVD及びプラズマCVDがある。

【0036】

窒化シリコンの形成には、熱CVD及びプラズマCVDを用いることができる。その原材料としてSiを含む原料としては、SiCl₂、SiH₄、SiH₂Cl₂があり、Nを含む原料としてはNH₃、N₂H₄、N₂等がある。

【0037】

また、半導体層13'よりもヤング率が低い多孔質層12'が下層に配置されているため、歪み誘起領域14から半導体層13'に印加される引っ張り力のほとんどが半導体層13'に印加されて、半導体層13'を引っ張る力はより小さな力で済む。このように、半導体層13'の下層に多孔質層12'を配置して、引っ張り力を効率よく面内歪みに変換することによって、より少ない応力でより大きな歪みを発生させることができる。

【0038】

また、島状の半導体層13'が形成されることによって、半導体層13'の各々を独立に歪ませることができる。半導体層13'が多孔質層12'上に一様に形成される場合には、半導体層13'を歪ませたときに、全体の歪みの量が莫大なものになりうる。例えば、SiGe上の歪みシリコン層は、SiGeが完全に緩和しているとすると、面内で1%程度歪む。300mmウエハの直径で考えると、歪みの総量は3mmとなる。無歪み状態から歪ませると、直径で3mm大きなシリコン層となるが、実際にはこのような量までシリコン層全体を歪ませることは出来ない。しかし、本実施形態によれば、島状の半導体層13'を基板11の上に形成することによって、例えば、10 μ m角の半導体層13'の島に対し

て $1\mu\text{m}$ の開口部を形成して、半導体層 $13'$ の個々の島を 10.1mm 、そのすき間にある開口部を 0.9mm として、半導体層 $13'$ の島を個別に歪ませることができる。

【0039】

SiGe上の歪Siの形成の場合は、堆積時（エピタキシャル成長時）に既に歪みをもって形成されるので、実寸が大きくなることはないが、無歪のものを後から歪ませると上記の様なことになる。

【0040】

（第2の実施形態）

以下、本発明の好適な第2の実施形態に係る基板製造方法を説明について説明する。本実施形態に係る基板製造方法は、概略的には、第1の実施形態に係る基板製造方法の一部の工程を変更したものである。図2は、本実施形態に係る基板製造方法を示す図である。図2(a)～図2(c)に示す工程は、図1(a)～図1(c)に示す工程と同様である。

【0041】

図2(d)に示す工程では、半導体層 13 をエッチングして開口部を形成する。図2(e)に示す工程では、開口部に露出した多孔質層 12 の上に歪み誘起領域 14 を形成する。以上のように構成することによって、多孔質層 12 上に形成された半導体層 $13'$ を効率的に歪ませることができる。

【0042】

（第3の実施形態）

以下、本発明の好適な第3の実施形態に係る基板製造方法を説明について説明する。本実施形態に係る基板製造方法は、概略的には、第1の実施形態に係る基板製造方法の一部の工程を変更したものである。図3は、本実施形態に係る基板製造方法を示す図である。図3(a)、(c)に示す工程は、図1(a)、(c)に示す工程とそれぞれ同様である。

【0043】

図3(b)に示す工程では、基板 11 に部分的に多孔質層を形成する。多孔質層を形成する方法としては、陽極化成を採用する場合には、例えば、陽極化成で使用する薬液（フッ化水素酸等）から基板を保護する保護膜（例えば、窒化膜あるいは耐HF性マスク）を基板 11 上に形成した後に、基板 11 を陽極化成することによって、図1(b)に示す部分的な多孔質層 $12'$ を形成することができる。図3(d)に示す工程では、半導体層 13 をエッチングして開口部を形成する。図3(e)に示す工程では、開口部に露出した基板 11 の上に歪み誘起領域 14 を形成する。以上のように構成することによって、多孔質層 12 上に形成された半導体層 $13'$ を効率的に歪ませることができる。

【0044】

〔半導体基板の第1の適用例〕

本適用例では、本発明の好適な第1～第3のいずれかの実施形態に係る基板の製造方法を適用して製造され得る半導体基板を利用した半導体装置の製造方法を示す。

【0045】

図4は、本発明の好適な第1～第3の実施形態のうち例示的に第2の実施形態に示す工程で作製された基板の半導体層 $13'$ 及び歪み誘起領域 14 の近傍を示したものである。まず、半導体層 13 、 $13'$ の表面に素子分離領域 54 、ゲート絶縁膜 56 を形成する（図4(a)を参照）。ゲート絶縁膜 56 の材料としては、例えば、酸化シリコン、窒化シリコン、酸化窒化シリコン、酸化アルミニウム、酸化タンタル、酸化ハフニウム、酸化チタン、酸化スカンジウム、酸化イットリウム、酸化ガドリニウム、酸化ランタン、酸化ジルコニウム、及びこれらの混合物ガラス等が好適である。ゲート酸化膜 56 は、例えば、半導体層 13 、 $13'$ の表面を酸化させたり、CVD法又はPVD法により半導体層 13 、 $13'$ の表面に該当する物質を堆積させたりすることにより形成され得る。

【0046】

次いで、ゲート絶縁膜 56 上にゲート電極 55 を形成する。ゲート電極 55 は、例えば、P型又はN型不純物がドーパされた多結晶シリコンや、タングステン、モリブデン、チタン、タンタル、アルミニウム、銅などの金属又はこれらの少なくとも1種を含む合金や、

10

20

30

40

50

モリブデンシリサイド、タングステンシリサイド、コバルトシリサイドなどの金属珪化物や、チタンナイトライド、タングステンナイトライド、タンタルナイトライドなどの金属窒化物などで構成され得る。ゲート絶縁膜56は、例えばポリサイドゲートのように、互いに異なる材料からなる複数の層を積層して形成されてもよい。ゲート電極55は、例えば、サリサイド（セルフアラインシリサイド）と呼ばれる方法で形成されてもよいし、ダマシゲートプロセスと呼ばれる方法で形成してもよいし、他の方法で形成してもよい。以上の工程により図4（a）に示す構造体を得られる。

【0047】

次いで、燐、砒素、アンチモンなどのN型不純物又はボロンなどのP型不純物を半導体層13、13'に導入することにより、比較的低濃度のソース、ドレイン領域58を形成する（図4（b）を参照）。不純物は、例えば、イオン打ち込み及び熱処理などにより導入することができる。

【0048】

次いで、ゲート電極55を覆うようにして絶縁膜を形成した後に、これをエッチバックすることにより、ゲート電極59の側部にサイドウォール59を形成する。

【0049】

次いで、再び上記と同一の導電型の不純物を半導体層13、13'に導入し、比較的高濃度のソース、ドレイン領域57を形成する。以上の工程により図4（b）に示す構造体を得られる。

【0050】

次いで、ゲート電極55の上面並びにソース及びドレイン領域57の上面に金属珪化物層60を形成する（図4（c）を参照）。金属珪化物層60の材料としては、例えば、ニッケルシリサイド、チタンシリサイド、コバルトシリサイド、モリブデンシリサイド、タングステンシリサイドなどが好適である。これらの珪化物は、ゲート電極55の上面並びにソース及びドレイン領域57の上面を覆うように金属を堆積させて、その後、熱処理を施すことによって、該金属とその下部のシリコンとを反応させた後に、該金属のうち未反応部分を硫酸などのエッチャントで除去することによって形成することができる。ここで、必要に応じて、珪化物層の表面を窒化させてもよい。以上の工程により図4（c）に示す構造体を得られる。

【0051】

次いで、シリサイド化したゲート電極の上面並びにソース及びドレイン領域の上面を覆うように絶縁膜61を形成する（図4（d）を参照）。絶縁膜61の材料としては、燐及び／又はボロンを含む酸化シリコンなどが好適である。

【0052】

次いで、必要に応じて、CMP（chemical mechanical polishing）法により表面を平坦化した後に、絶縁膜61にコンタクトホールを形成する。KrFエキシマレーザ、ArFエキシマレーザ、F₂エキシマレーザ、電子ビーム、X線等を利用したフォトリソグラフィ技術を適用すると、一辺が0.25ミクロン未満の矩形のコンタクトホール、又は、直径が0.25ミクロン未満の円形のコンタクトホールを形成することができる。

【0053】

次いで、コンタクトホール内に導電体を充填する。導電体の充填方法としては、バリアメタル62となる高融点金属やその窒化物の膜をコンタクトホールの内壁に形成した後に、タングステン合金、アルミニウム、アルミニウム合金、銅、銅合金などの導電体63を、CVD法、PVD（physical vapor deposition）法、めっき法などを利用して堆積させる方法が好適である。ここで、絶縁膜61の上面よりも高く堆積した導電体をエッチバック法やCMP法により除去してもよい。また、導電体の充填に先立って、コンタクトホールの底部に露出したソース及びドレイン領域の珪化物層の表面を窒化させてもよい。以上の工程により基板にFET（field effect transistor）等のトランジスタを作り込むことができ、図4（d）に示す構造のト

10

20

30

40

50

ランジスタを有する半導体装置が得られる。

【0054】

以上のように、本実施形態によれば、半導体層を効率よく歪ませることができ、半導体層のキャリア移動度を向上させることができるため、半導体層に形成されたトランジスタ等のデバイスを高速駆動させることができる。

【0055】

〔半導体基板の第2の適用例〕

本適用例は、上記半導体基板の第1の適用例によって製造された半導体装置に更に改良を加えたものである。本適用例では、上記半導体基板の第1の適用例によって半導体層13、13'の表面に形成されるゲート電極55として、第2の半導体13、13'が略水平な方向に延びるものを用い、さらに半導体層13、13'を歪ませることが出来る。このようなゲート電極55としては、例えば、ゲート電極55にイオン注入をした後に、熱処理を施したものを採用することができる。

【0056】

この場合、歪み誘起領域14としては、島状に形成された半導体層13、13'に引っ張り力を加える材料を用いるのが望ましいが、このような材料を必ずしも用いる必要はない。素子分離の特性に応じて最適化された種々の材料（すなわち、半導体層13、13'に引っ張り力を与える材料とは限らない。）及び構成を採用することができる。

【0057】

また、半導体層13、13'の表面に層間絶縁膜を形成して、これによる応力を制御することによって、半導体層13、13'に更に応力を印加することもできる。

【実施例】

以下、本発明の好適な実施例を挙げる。

【0058】

（実施例1）

8インチP型のシリコンウエハ11（抵抗率0.013～0.017Ω-cm）を用意して（図1（a）に対応）、その表面に多孔質シリコン12を陽極化成法により形成した（図1（b）に対応）。ここで、陽極化成溶液は50%HF：IPA＝2：1（体積比）、電流密度は8mA/cm²、電流印加時間は11min、多孔質シリコン12の膜厚は10μmであった。陽極化成後、シリコンウエハ11を、400℃で1時間、酸素中で低温酸化した後に、表面酸化膜をDHF等で除去し、エピタキシャル装置へロードした。エピタキシャル装置へロードした後に、シリコンウエハ11を、水素雰囲気中で950℃で10秒表面処理を施して、表面孔の穴埋めを行った。さらに少量のシリコン系ガスを導入して、残留した表面孔の穴埋めを行った。その後、シリコンウエハ11の上にシリコンをエピタキシャル成長させて、所定の厚さのエピタキシャルシリコン層13を形成した（図1（c）に対応）。エピタキシャルシリコン層13の膜厚は、作製するデバイスに応じて決定し、10nm程度～数μmまで広範囲に制御することができた。

【0059】

次いで、エピタキシャルシリコン層13の表面に保護酸化膜を形成して、リソグラフィ工程でパターニング及びエッチングを行って、エピタキシャルシリコン層13及びその下の多孔質シリコン12を島状にパターニングした（図1（d）に対応）。島の大きさや形状は、作製するデバイスにより決定した。島の大きさは、1μm～数百μmまで制御することができた。

【0060】

シリコンをエッチオフした後に、島状に形成されたエピタキシャルシリコン層13'及び多孔質シリコン12'の隙間に、TEOS+O₃を原材料とするCVD法にて酸化膜14を形成した（図1（e）に対応）。酸化シリコン膜は、その応力を高範囲に制御することが出来るため、引っ張りの力を島状に形成されたエピタキシャルシリコン層13'及び多孔質シリコン12'の側壁へ印加するように条件を設定した。

【0061】

10

20

30

40

50

以上のようにして、表面のシリコン半導体層 1 3' を歪ませることが出来た。

【0062】

(実施例 2)

本実施例は、概略的には、実施例 1 における一部の工程を変更したものである。即ち、本実施例では、エピタキシャルシリコン層 1 3 の表面に保護酸化膜を形成して、リソグラフィ工程でパターニング及びエッチングを行って、エピタキシャルシリコン層 1 3 及びその下の多孔質シリコン 1 2 をパターニングする代わりに、エピタキシャルシリコン層 1 2 を島状にパターニングした (図 2 (d) に対応)。

【0063】

(実施例 3)

本実施例は、概略的には、実施例 1 における一部の工程を変更したものである。即ち、本実施例では、シリコンウエハ 1 1 に部分的に多孔質シリコン層 1 2' を形成した (図 3 (b) に対応)。このように部分的に多孔質シリコン層 1 2' を形成するために、シリコンを選択的に陽極化成する方法としては、例えば、(1) シリコンを多孔質化する領域にボロンをイオン注入して P++ 層にする、(2) HF 耐性のある絶縁性の保護膜をシリコン上にパターニングして、選択的に多孔質化する領域以外の表面をカバーする、等がある。

【0064】

(実施例 4)

実施例 1 ~ 3 に対して、表面シリコンに島状に CMOS (complementary metal-oxide semiconductor) 構造を形成した (図 4 に対応)。CMOS の形成については、一般的な方法によって形成した。N 型、P 型 MOS トランジスタの電子移動度及び正孔移動度が、無歪みのものに対して増大することが確認できた。

【0065】

(実施例 5)

実施例 4 に対して更にシリコン半導体層に歪みを加える方法を適用した。具体的には、チャネル直上のゲート電極 5 5 に砒素を注入し、ゲートを囲うようにゲート保護膜を形成した。その後、アニール処理を行い、ゲート電極 5 5 とゲート保護膜の伸び縮みを利用して、チャネル領域に局所的な歪みを発生させ、島状シリコン間の引っ張り力を印加する材料における引っ張り力に加えて、ゲート直上からの応力印加により効率よく半導体層 1 3、1 3' を歪ませることが出来た。また、半導体層 1 3、1 3' の下に半導体層 1 3、1 3' よりもヤング率の低い多孔質シリコン 1 2、1 2' を配置することによって更に効果的に表面のシリコン半導体層 1 3、1 3' を歪ませることが出来た。

【0066】

なお、上記示した実施例 1 ~ 5 において、多孔質シリコンの形成条件は、上記の条件に限らない。多孔度 (porosity) を変化させるために、基板のタイプ (P 型、N 型)、比抵抗、溶液濃度、電流、温度等を変えることができる。多孔質シリコン上にシリコンをエピタキシャル成長させる方法としては、CVD 法、MBE (molecular beam epitaxy) 法、スパッタ法、液相成長法等、多種の方法を採用することができる。また、他の工程についても、この実施例に限られた条件だけでなく、さまざまな条件で実施することができる。

【0067】

【発明の効果】

本発明によれば、例えば、半導体層を効率的に歪ませることができる。

【図面の簡単な説明】

【図 1】 本発明の好適な第 1 の実施形態に係る基板製造方法を説明するための図である。

【図 2】 本発明の好適な第 2 の実施形態に係る基板製造方法を説明するための図である。

【図 3】 本発明の好適な第 3 の実施形態に係る基板製造方法を説明するための図である。

【図 4】 本発明の好適な実施形態に係る半導体基板の第 1 の適用例を説明するための図で

10

20

30

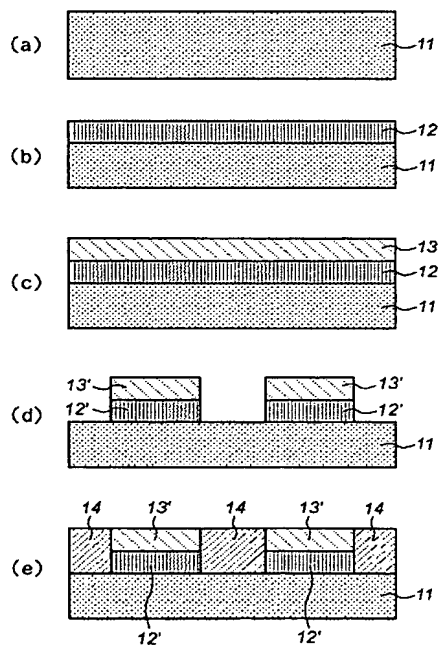
40

50

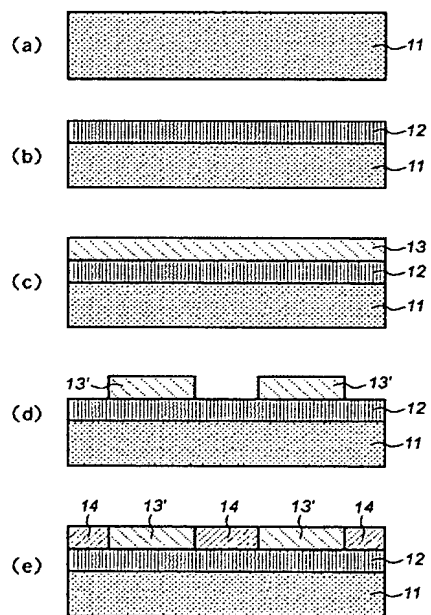
ある。

【図 5】多孔度とヤング率との関係を示す図である。

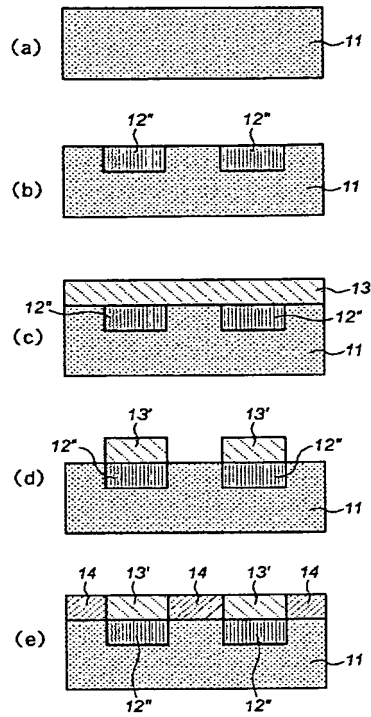
【図 1】



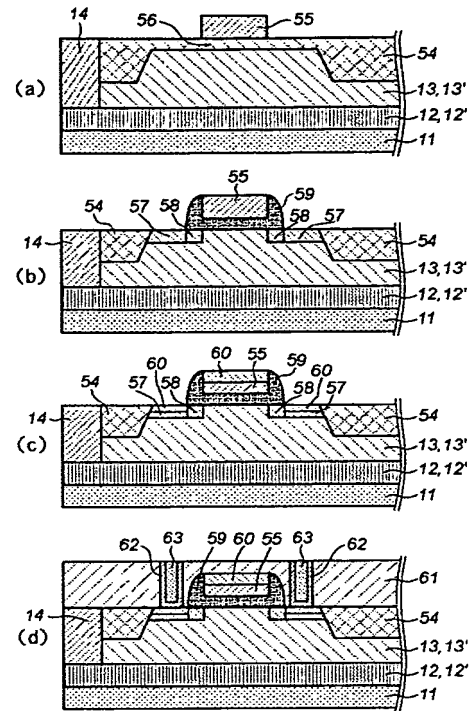
【図 2】



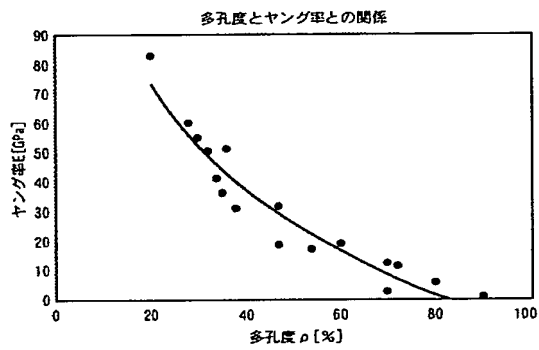
【図 3】



【図 4】



【図 5】



フロントページの続き

F ターム(参考) 5F140 AA05 AC28 BA00 BA16 BC12 BD05 BD07 BD09 BD11 BD12
BE07 BE09 BE10 BF01 BF04 BF05 BF06 BF07 BF08 BF10
BF11 BF18 BG08 BG34 BG36 BG43 BG44 BG45 BG53 BH15
BJ08 BJ11 BJ15 BJ16 BJ17 BJ20 BJ27 BK02 BK13 BK21
BK25 BK29 BK30 BK34 BK39 CB01 CB04 CB10 CC05 CC06
CC07 CD01 CD06 CE01 CE06 CE07 CF04

THIS PAGE BLANK (USPTO)